

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-233567

(43)Date of publication of application : 29.09.1988

(51)Int.CI.

H01L 29/78
H01L 21/265
H01L 29/80

(21)Application number : 62-068591

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 23.03.1987

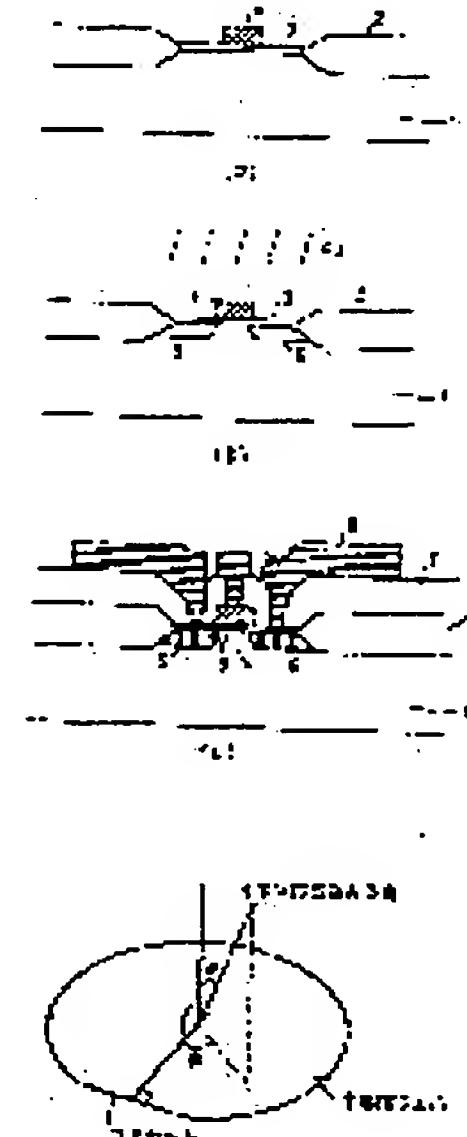
(72)Inventor : Horiguchi Seiji
Miyaake Masayasu
Kobayashi Toshio
Kiuchi Kazuhide

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent a channeling phenomenon, by implanting ions by the same dosing amount from a plurality of directions, which are symmetrical with respect to the direction of the side of a gate electrode facing a source and a drain, when the source and drain regions of a FET are formed by ion implantation in a self-alignment manner.

CONSTITUTION: After a field oxide film 2 is formed on a substrate 1, a gate oxide film 3 is formed in dry oxygen. Then low resistance polycrystalline silicon, which is used as a gate electrode, is deposited, and a gate electrode 4 is formed by using a photolithography method and the like. Then As ions are implanted. Here, an angle θ is made to be, e.g., seven degrees in order to avoid axial channeling. Angles φ are selected in a plurality of directions, which are symmetrical to the direction of the side of the gate electrode 4 facing source and drain regions. Ions are implanted by an equal dosing amount.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯ 公開特許公報 (A)

昭63-233567

⑯ Int.Cl.⁴
H 01 L 29/78
21/265
29/80識別記号
301庁内整理番号
Y-8422-5F
U-7738-5F
F-8122-5F

⑯ 公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全7頁)

⑯ 発明の名称 半導体装置の製造方法

⑯ 特願 昭62-68591

⑯ 出願 昭62(1987)3月23日

⑯ 発明者 堀口 誠二	神奈川県厚木市森の里若宮3番1号	日本電信電話株式会社厚木電気通信研究所内
⑯ 発明者 三宅 雅保	神奈川県厚木市森の里若宮3番1号	日本電信電話株式会社厚木電気通信研究所内
⑯ 発明者 小林 敏夫	神奈川県厚木市森の里若宮3番1号	日本電信電話株式会社厚木電気通信研究所内
⑯ 発明者 木内 一秀	神奈川県厚木市森の里若宮3番1号	日本電信電話株式会社厚木電気通信研究所内
⑯ 出願人 日本電信電話株式会社	東京都千代田区内幸町1丁目1番6号	
⑯ 代理人 弁理士 玉蟲 久五郎	外2名	

明細書

装置の製造方法に関するものである。

1. 発明の名称 半導体装置の製造方法

(従来の技術)

2. 特許請求の範囲

半導体基板上の電界効果トランジスタのゲート電極形成工程と、このゲート電極をマスクとしてイオン打ち込みにより前記電界効果トランジスタのソースおよびドレイン領域を自己整合的に形成する工程であつてイオン打ち込み角度を前記半導体基板正面に対して軸チャネリングの発生が避けられる角度だけ垂直方向からずらし、かつ、前記ゲート電極の前記ソースおよびドレイン領域に向する辺の方向に対して対称となる複数の方向から等しいドーズ量づつイオン打ち込みを行う工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、電界効果トランジスタを含む半導体

L S I の高性能化、高集積化に向けて微細 M I S 型電界効果トランジスタあるいは微細 M E S 型電界効果トランジスタの研究が進められているが、ゲート長が数 μ m 以下の電界効果トランジスタにおいては、ソース領域あるいはドレイン領域となる高濃度拡散層領域がゲート電極からみて対称に形成されていることが望ましい。何故ならば、対称でない場合には 2 つある高濃度拡散層のうちのいずれをソースとして用いるかによつて電気特性が異なるからである。従来、チャネリング現象を防止し、かつ、ゲート電極からみてソース、ドレインとなる高濃度拡散層領域を対称に形成する方法として、イオン打ち込みの方向をウエハ表面上に垂直な方向からソース領域およびドレイン領域を結ぶ方向と垂直な方向に傾ける方法が提案されている (特開昭61-105874)。しかし、この方法は、例えばソース、ドレインを結ぶ方向が

互いに垂直になつてゐる複数の電界効果トランジスタを有する半導体装置の製造方法としては使用できない。以下、電界効果トランジスタとしてnチャネルMOS FETを例にして従来技術の欠点を指摘する。

第3図は、イオン打ち込みの方向を説明するための図であつて、角度 θ は、イオン打ち込みの方向とウエハ表面に垂直な方向とがなす角度であり、角度 ϕ は、イオン打ち込みの方向をウエハ表面に射影した方向とウエハ表面におけるファセットと垂直な方向がなす角度である。

第4図は、ウエハ上に形成されるMOS FET (FETと略す) のゲート電極とソース、ドレインとして用いられる高濃度n⁺拡散層の位置関係を説明するための図であつて、FET1ではソースあるいはドレインとして用いられるn⁺拡散層5とn⁺拡散層6とを結ぶ方向がファセットと平行になつておらず、FET2では、n⁺拡散層5とn⁺拡散層6とを結ぶ方向がファセットと垂直となつておる。

第6図(a)(b)は、従来の方法を用いて製造したFETの電気特性を示すもので、縦軸がドレイン電流I_D、横軸がドレイン電圧V_Dで、ゲート電圧V_Gをパラメータとしている。第6図(a)は、第4図中のFET1に関するもので、第6図(b)は、第4図中のFET2に関するものである。それぞれ実線はn⁺拡散層5をソース、n⁺拡散層6をドレインとしたもので、破線はn⁺拡散層5をドレイン、n⁺拡散層6をソースとしたものである。第6図(a)では実線と破線とが一致しているのに対し、第6図(b)では実線と破線とが異なつてゐることがわかる。第6図(b)では実線と破線とが異なつてゐるのは、n⁺拡散層5とn⁺拡散層6とがゲート電極に対して対称でないためであり、従来の方法を用いたのでは回避できない欠点である。

以上nチャネルMOS FETを例にとつて従来の方法の欠点を述べたが、pチャネルMOS FET、MES FET等他の電界効果トランジスタにおいても従来方法に欠点があるのは明白である。

〔発明が解決しようとする問題点〕

従来の方法では、チャネリング現象を防ぐため、例えば $\theta = 7^\circ$ とし、FET1の拡散層5と拡散層6とを結ぶ方向とイオン打ち込み方向とを垂直にするため、例えば、 $\phi = 180^\circ$ としている。

第5図(a)(b)は、このようにして形成したn⁺拡散層5、6とゲート電極の位置関係を示す断面図である。第5図(a)は、第4図中のFET1に関するもので、第5図(b)は、第4図中のFET2に関するものである。第5図(a)のFET1では、n⁺拡散層5とn⁺拡散層6とが、ゲート電極に対して対称であるのに対し、第5図(b)のFET1では、n⁺拡散層5とn⁺拡散層6とが、ゲート電極に対して対称でないことがわかる。すなわち、第4図のFET1とFET2のようにソース、ドレインを結ぶ方向が互いに垂直となつてゐる複数の電界効果トランジスタを含む半導体装置においては、従来の方法を用いて両方の電界効果トランジスタのソース、ドレインをそれぞれのゲート電極に対して対称に形成することは不可能である。

〔問題点を解決するための手段〕

〔発明の目的〕

本発明の目的は、従来の方法の以上のような欠点を解決した、ゲートの方向が異なる複数の電界効果トランジスタのソース領域およびドレイン領域がそれぞれのゲート電極からみて全て対称に形成されていることを特徴とする半導体装置の製造方法を提供することにある。

本発明は電界効果トランジスタのソース、ドレイン領域を自己整合的にイオン打ち込みで形成する際にゲート電極のソースおよびドレインに対向する辺の方向に対して対称となる複数の方向から等しいドーズ量づつイオン打ち込みを行うことを最も主要な特徴とする。なお、上記イオン打ち込みにおける「対称」と「等しいドーズ量」という言葉は、文字通りの厳密なものではなく、実効的に等価である程度の幅を持つものである。従来の技術とはソース、ドレイン形成時のイオン打ち込みの方向が複数であることが異なる。

(実施例1)

第1図(a)(b)(c)は、本発明を第4図に示したようなゲート電極と高濃度n⁺拡散層の位置関係を有するMOS FET製造に適用した場合の1実施例を説明するためのものであつて、nチャネルMOS FETの製造工程を示すものである。第1図中、1はp型Si基板、2はフィールド酸化膜、3はゲート酸化膜、4は低抵抗多結晶シリコンゲート電極、5、6は高濃度n⁺拡散層、7は層間絶縁膜、8はAl電極である。先ず、第1図(a)に示すように、通常のMOS LSI製造工程に従つて厚さ5000Åのフィールド酸化膜2を形成した後、厚さ50Åのゲート酸化膜3を乾燥酸素中で形成する。その後、ゲート電極として用いる低抵抗多結晶シリコンを4000Åの厚さに堆積し、通常のフォトリソグラフィあるいは電子ビームリソグラフィを用いてゲート電極4を形成する。次に、第1図(b)に示すように、ソース、ドレインとして用いるn⁺-p接合形成のためのAsイオンを80KeV, $4 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン

打ち込みを行うが、この際、第3図中の角度θは、軸チヤネリングを避けるため例えばθ = 7°とする。次に第3図中のφであるが、一般に、与えられたパターンのFETのゲート幅方向が互いになす角度の間にこれらの全ての角度がその角度の整数倍であるような最大の角度φ₀が存在し、かつ、360°/M (M: 360°/Mがφ₀で割り切れる最小の整数) がφ₀で割り切れる時には、φを任意の角度としてφ - φ₀ = 2φ₀, 3φ₀, ..., 350°/M - φ₀であるようなφ₀を選び等しいドーズ量づつ360°/M/φ₀回に分けてイオン打ち込みを行えば、これらの全てのFETにおいて、n⁺層はそれぞれのゲート電極からみて対称であり、かつ、これらのFETのゲート長が同じであれば全く合同な構造となる。また、特に360°/φ₀ = 2N (N: 整数) であるときは、任意のゲート幅方向からφ₀/2, φ₀/2 + 2φ₀, φ₀/2 + 4φ₀, φ₀/2 + 6φ₀, ..., φ₀/2 + 2(N-1)φ₀の角度で等しいドーズ量づつN回に分けてイオン打ち込みを

行えば、これらの全てのFETにおいて、n⁺層はそれぞれのゲート電極からみて対称であり、かつ、これらのFETのゲート長が同じであれば全く合同な構造となる。但し、いずれの場合も、低指数の面チヤネリングを避けるような角度を選ぶこととする。第4図のような場合には、φ₀ = 90°で360°/φ₀ = 4であるから、φ₀ = 45°, 22.5°とすれば良い。但し、Siウエハが(100)基板であり、ファセットの方向が<110>軸方向である場合には、この角度でイオン注入を行なうと、(110)と(100)面方向に面チヤネリングが生じ易い。このような、低指数の面チヤネリングを避けるために例えばファセットの方向をそのままにしてパターンをウエハ中心を回転の中心として時計方向に22.5°回転させてからφ₀ = 67.5°, 247.5°の2方向から等ドーズ量ずつ分けてイオン打ち込みをすると、φ₀ = 25°として、1回づつウエハを回転してそれぞれφ₀ = 25° (= 385°), 115°, 205°, 295°の4方向から1/4ドーズ

量を4回打ち込めば良い。本実施例では後者の方針を採用することとする。このような面チヤネリングを生じ易い低指数の面としては、(100)や(110)面が代表的であり、これらの低指数の面を考慮しておけば、高指数の面では面チヤネリングが生じにくないので面チヤネリングによる影響を避けることができる。

以上のような方法でソース、ドレイン用のn⁺-p接合を形成した後は、通常のMOS LSI製造工程に従つて第1図(c)に示すように、層間絶縁膜7、Al電極8を形成し、nチャネルMOS FETが製造される。

このような方法で形成したn⁺層は、第4図中のFET1においてもFET2においても、それぞれのゲート電極からみて対称であり、かつ、FET1とFET2のゲート長が同じであれば全く合同な構造となつてゐる。従つて、ゲート長が同じ長さであれば、電気特性も全く同じものとなる。

例えば、本実施例で示した工程を用いて製造したゲート長0.8μmのnチャネルMOS FET

Tのゲート電圧 V_g をパラメータとした場合のドレイン電流 I_d のドレイン電圧 V_d 依存性は、第4図中のFET 1のn⁺拡散層5をソースとしてn⁺拡散層6をドレインとした場合の特性、n⁺拡散層5をドレインとしてn⁺拡散層6をソースとした場合の特性、および、第4図中のFET 2のn⁺拡散層5とソースとしてn⁺拡散層6をドレインとした場合の特性、n⁺拡散層5をドレインとしてn⁺拡散層6をソースとした場合の特性の4特性は全て等しいため重なつておりMOS FETのパターンの向きに依らずに第6図(a)と同様な対称、かつ、同一の電気特性が得られる。この結果から明らかのように、本発明の方法を用いることにより従来の技術の欠点を克服することができる。なお、同一半導体主面上に存在する複数の電界効果トランジスタのソースおよびドレインを、その半導体主面に対して連続的に異なる方向からイオン打ち込みを行うことによつて各々のトランジスタのゲートに対して自己整合的に形成する方法も考えられるが、このような方法を用

いると面チヤネリング現象を防ぐことが不可能なため良好な電気特性を得ることができず、使用することはできない。

なお、本実施例では、ソース、ドレイン形成のためのイオン打ち込みを角度およびドーズ量を限定して行つているが、実効的にソース、ドレインの形状が同じであるならば角度、ドーズ量にある程度の幅があつても良いことは言うまでもない。また、本実施例ではS+基板を用いたnチャネルMOS FETについて述べたが、基板はS+に限る分けではない。また、pチャネルMOS FET、MES FET等他の電界効果トランジスタにも適用できることも明らかである。

〔実施例2〕

第2図は、本発明の第2の実施例を説明するための図であつて、ウエハ上に形成されるMOS FET (FETと略す) のゲート電極とソース、ドレインとして用いられる高濃度n⁺拡散層の位置関係を説明するための図である。FET 1では

ソースあるいはドレインとして用いられるn⁺拡散層5とn⁺拡散層6とを結ぶ方向がファセットと平行になつておらず、FET 2では、n⁺拡散層5とn⁺拡散層6とを結ぶ方向がファセットと垂直となつておらず、また、FET 3ではソースあるいはドレインとして用いられるn⁺拡散層5とn⁺拡散層6とを結ぶ方向がファセットに対して135°となつておらず、FET 4では、n⁺拡散層5とn⁺拡散層6とを結ぶ方向がファセットに対して45°となつておらず。

ソース、ドレイン形成のためのイオン打ち込みをθ=7°で、かつ、実施例1で述べた一般論に従つてφ=22.5°、112.5°、202.5°、292.5°の4回に分けて打ち込むこと以外は実施例1と全く同様の製造工程をとる。

このような方法で形成したn⁺層は、第2図中のFET 1においてもFET 2、FET 3、FET 4においても、それぞれのゲート電極からみて対称であり、かつ、FET 1とFET 2、FET 3、FET 4のゲート長が同じであれば全く合同

な構造となつてゐる。従つて、ゲート長が同じ長さであれば、電気特性も全く同じものとなる。

例えば、本実施例で示した工程を用いて製造したゲート長0.8μmのnチャネルMOS FETのゲート電圧 V_g をパラメータとした場合のドレイン電流 I_d のドレイン電圧 V_d 依存性は、第2図中のFET 1のn⁺拡散層5をソースとしてn⁺拡散層6をドレインとした場合の特性、n⁺拡散層5をドレインとしてn⁺拡散層6をソースとした場合の特性、および、第2図中のFET 2のn⁺拡散層5をソースとしてn⁺拡散層6をドレインとした場合の特性、n⁺拡散層5をドレインとしてn⁺拡散層6をソースとした場合の特性、FET 3のn⁺拡散層5をソースとしてn⁺拡散層6をドレインとした場合の特性、n⁺拡散層5をドレインとしてn⁺拡散層6をソースとした場合の特性、FET 4のn⁺拡散層5をソースとしてn⁺拡散層6をドレインとした場合の特性、n⁺拡散層5をドレインとしてn⁺拡散層6をソースとした場合の特性の8特性は全て等しいため重な

つておりMOS-FETのバターンの向きに依らずに第6図(a)と同様な対称、かつ、同一の電気特性が得られる。この結果から明らかのように、本発明の方法を用いることにより従来の技術の欠点を克服することが可能である。

なお、本実施例でも、ソース、ドレイン形成のためのイオン打ち込みを角度およびドーズ量を限定して行つてはいるが、実効的にソース、ドレインの形状が同じであるならば角度、ドーズ量にある程度の幅があつても良いことは言うまでもない。また、本実施例ではSi基板を用いたnチャネルMOS-FETについて述べたが、基板Siに限る分けではない。また、pチャネルMOS-FET、MES-FET等他の電界効果トランジスタにも適用できることも明らかである。

(実施例3)

実施例1、および実施例2においては、FETのソース、ドレイン用の高濃度拡散層がそれぞれのゲート電極からみて対称であり、かつ、これら

のFETのゲート長が同じであれば全く合同な構造となるような高濃度拡散層の形成法について述べた。本実施例では、FETのソース、ドレイン用の高濃度拡散層がそれぞれのゲート電極からみて対称ではあるが、必ずしも全てが合同ではないような高濃度拡散層の形成方法について述べる。このようにするためには、任意の個数、任意の配置のFETに対して第3図中のθとしてθ = 7°、φとして互いに180°異なる任意の2角度をとれば良い。但し、イオン打ち込みの方向は低指数の面チャネリングを避ける方向であるとする。基板が(100)Siウェハであり、ファセットの方向が<110>軸方向である場合の第2図のようなFETに対しては、(100)面や(110)面の低指数の面による面チャネリングを避けられるような角度として例えばφ = 22.5°、202.5°の2回に分けて等ドーズ量づつイオン打ち込みすれば良い。このようにして高濃度拡散層をイオン打ち込みにより形成すること以外は実施例1と全く同様の製造工程をとる。

このようにして制作した場合には、FET1、FET2、FET3、FET4のソース、ドレインはそれぞれのゲート電極に対して対称となるため、電気特性も対称となる。但し、この場合には、n+層の形状が全ては合同とはならないため、FET1、FET2、FET3、FET4の各ゲート長が同一であつても、FET1とFET4の電気特性およびFET2とFET3の電気特性はそれぞれの同一であるが、互いには若干異なる。

なお、本実施例でも、ソース、ドレイン形成のためのイオン打ち込み角度およびドーズ量を限定して行つてはいるが、実効的にソース、ドレインの形状が同じであるならば角度、ドーズ量にある程度の幅があつても良いことは言うまでもない。また、本実施例ではSi基板を用いたnチャネルMOS-FETについて述べたが、基板はSiに限る分けではない。また、pチャネルMOS-FET、MES-FET等他の電界効果トランジスタにも適用できることも明らかである。

(発明の効果)

以上説明したように、本発明による半導体装置の製造法を用いれば、ソース領域およびドレイン領域をチャネリング現象の生じ難いものとして形成することができ、かつ、ソース領域およびドレイン領域をそれぞれ本来のソース領域およびドレイン領域として用いたときの電界効果トランジスタの特性とそれとは逆にそれぞれドレイン領域およびソース領域として用いたときの電界効果トランジスタの特性との間に差が生じないようになることができるため、回路設計上簡単となるという利点がある。

4. 図面の簡単な説明

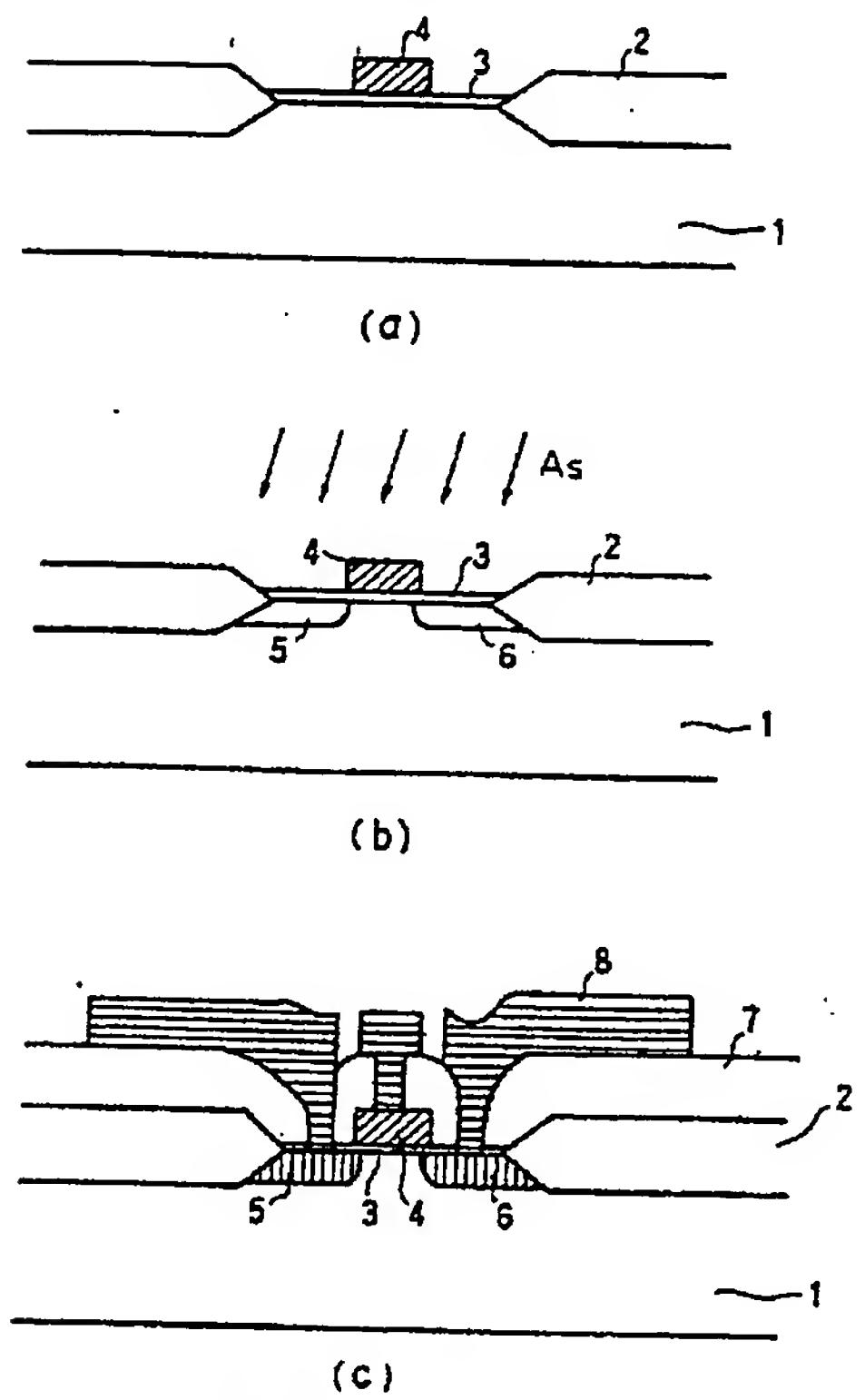
第1図(a)(b)(c)は、本発明の製造方法によるnチャネルMOS-FETの製造工程を示す。

第2図は第2の実施例を説明するための図であつて、ウェハ上に形成されるMOS-FETのゲート電極とソース、ドレインとして用いられる高濃度n+拡散層の位置関係を説明する図を示す。

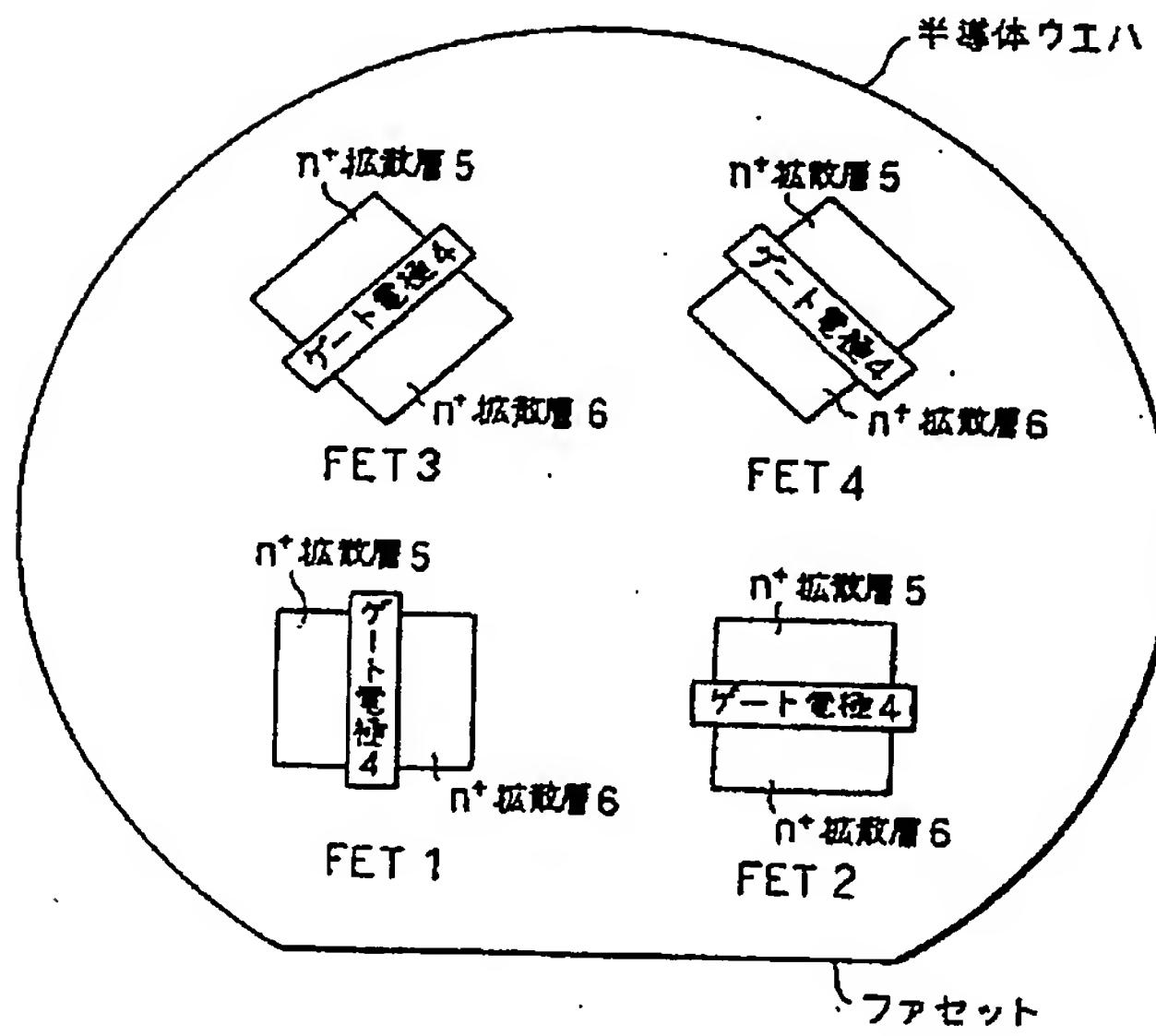
第3図はイオン打ち込みの方向を説明するための図、第4図はウエハ上に形成されるMOSFETのゲート電極とソース、ドレインとして用いられる高濃度n+拡散層の位置関係を説明するための図、第5図(回)は従来の方法で形成したn+拡散層とゲート電極の位置関係を示す断面図を示す。第6図(回)は従来の方法を用いて製造したFETの電気特性を示す。

1…P型Si基板、2…フィールド酸化膜、3…ゲート酸化膜、4…低抵抗多結晶シリコンゲート電極、5、6…ソース、ドレイン用高濃度n+拡散層、7…層間絶縁膜、8…Al電極

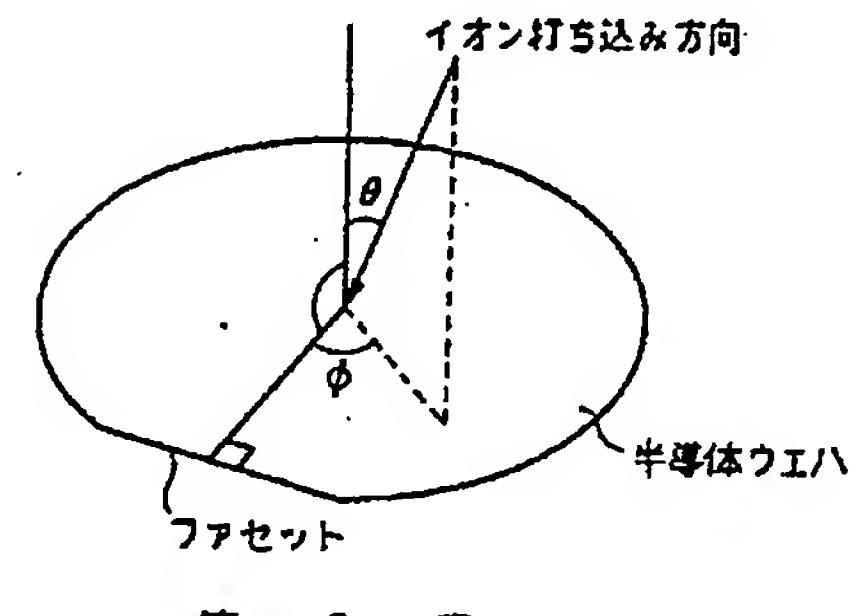
特許出願人 日本電信電話株式会社
代理人 弁理士 玉蟲久五郎
(外2名)



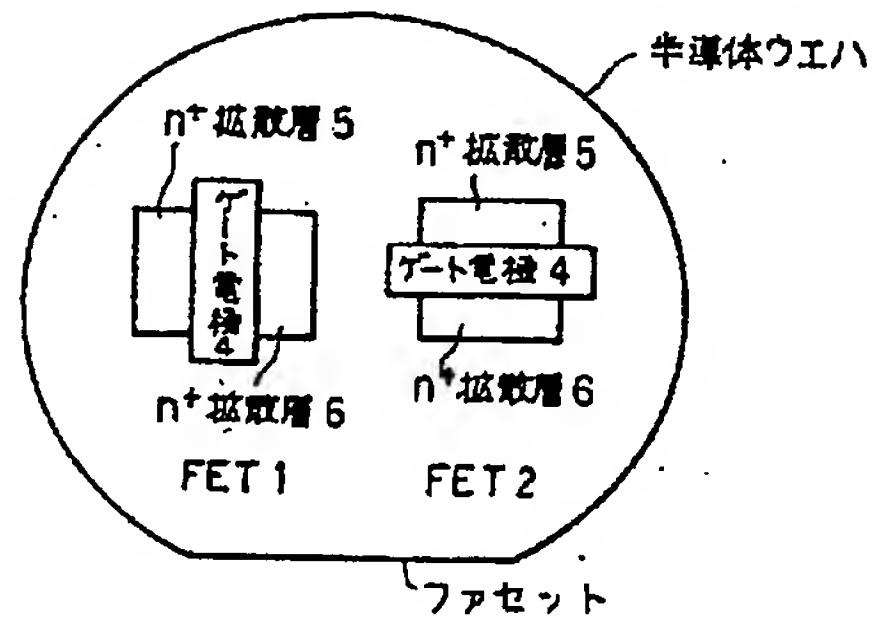
第1図



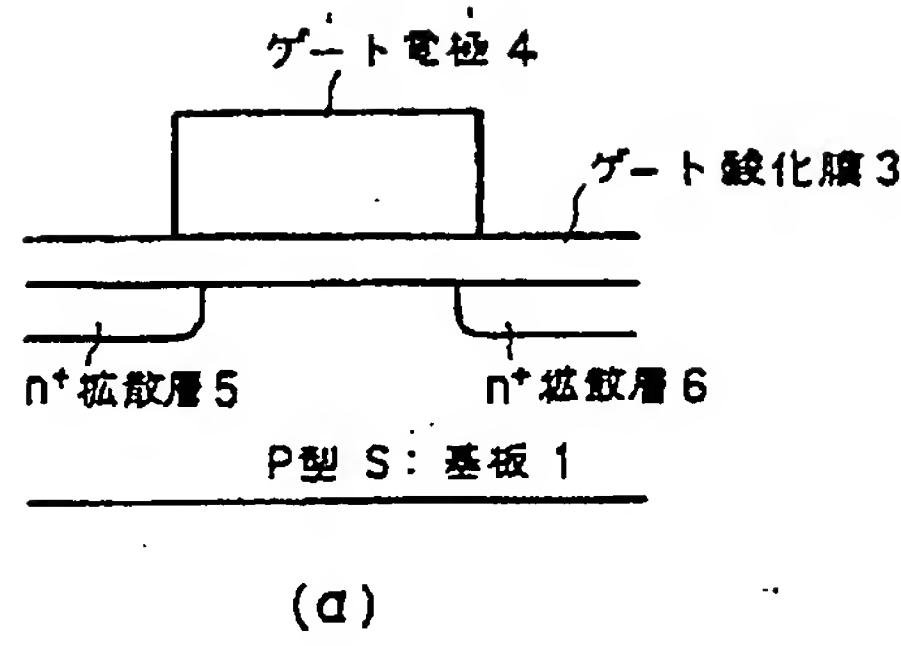
第2図



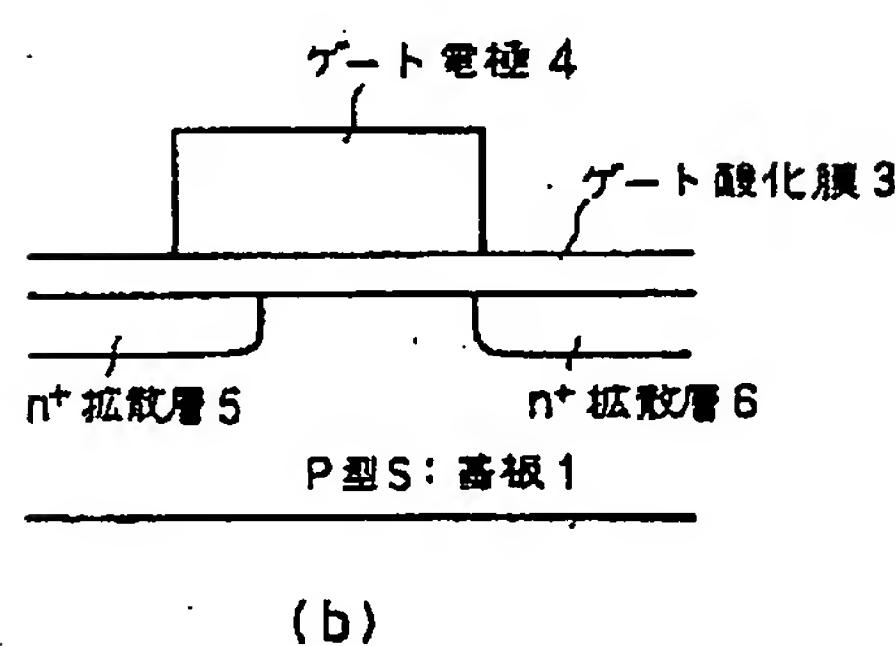
第3図



第4図

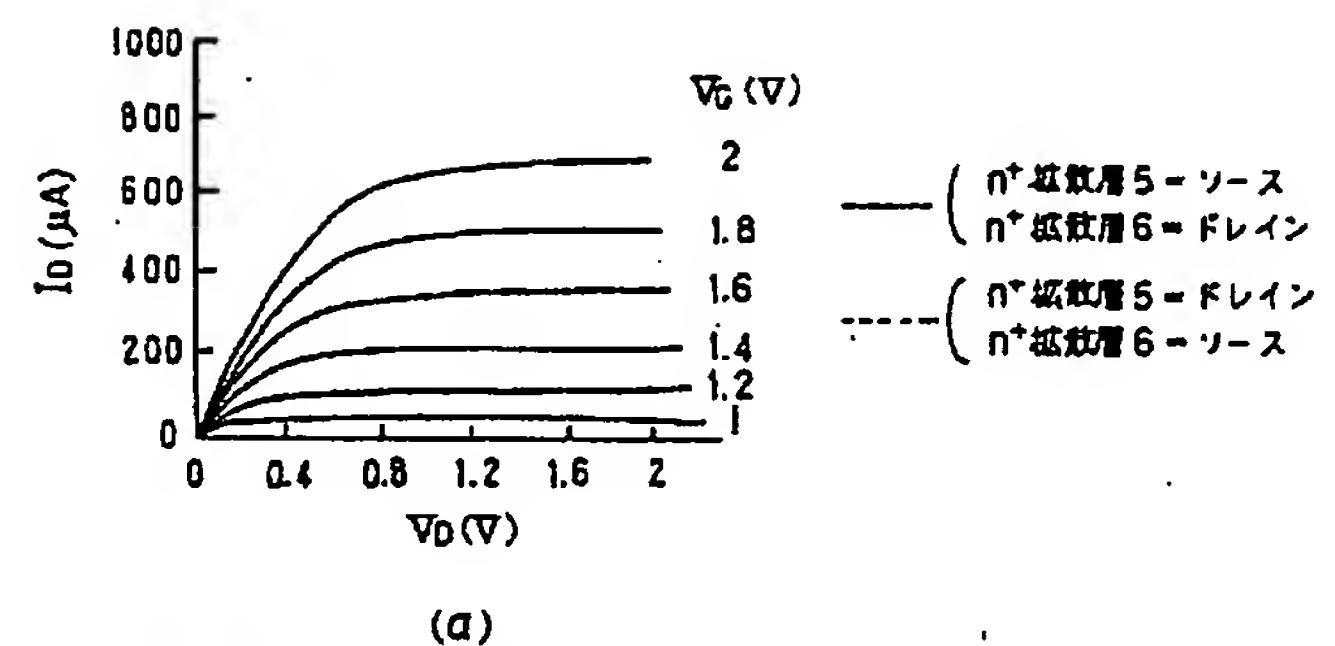


(a)

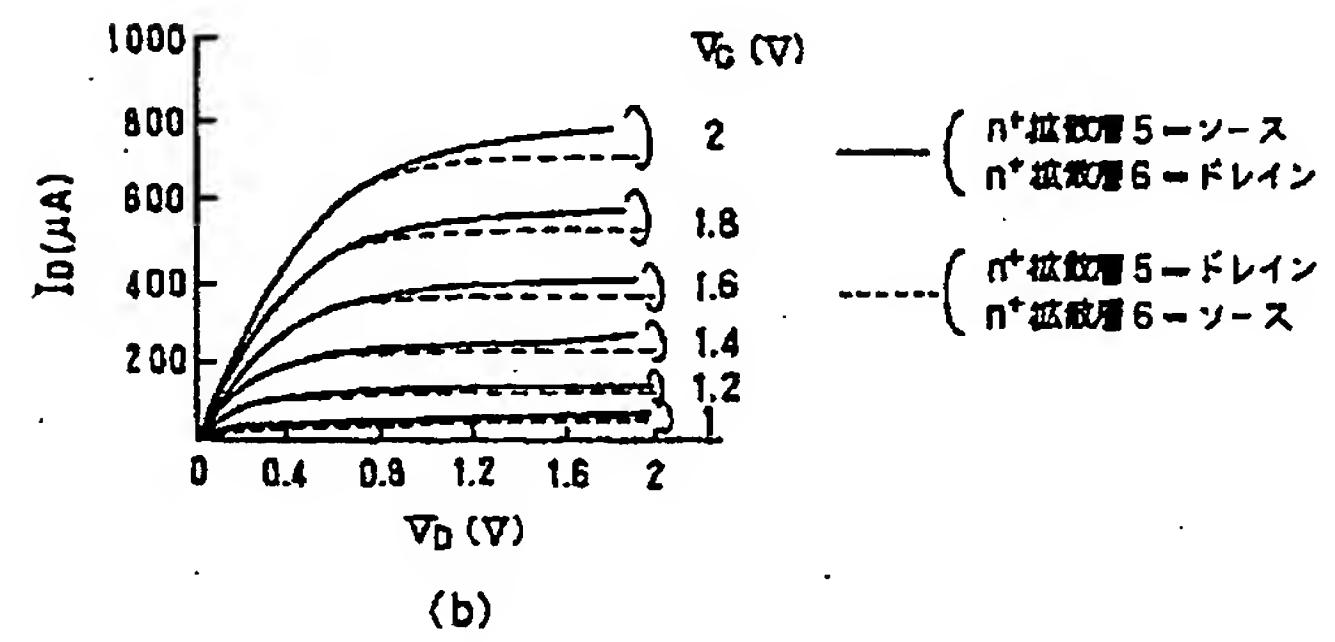


(b)

第 5 図



(a)



(b)

第 6 図

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成6年(1994)7月15日

【公開番号】特開昭63-233567
 【公開日】昭和63年(1988)9月29日
 【年通号数】公開特許公報63-2336
 【出願番号】特願昭62-68591
 【国際特許分類第5版】

H01L 21/336

21/265

21/338

29/784

29/812

【F I】

H01L 29/78 301 P 7377-4M
 29/80 F 7376-4M
 21/265 U 8617-4M

手 続 極 正 曆

平成5年7月29日

特許庁長官 麻 生 渡 殿

〔通〕

1. 事件の表示

昭和62年特許願第068591号

2. 発明の名称

半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区内幸町1丁目1番6号

名称 (422) 日本電信電話株式会社

代表者 児島 仁

4. 代理人

住所 東京都豊島区南長崎2丁目5番2号

氏名 (7139)弁理士 玉蟲 久五郎

5. 補正により増加する発明の数 なし

6. 補正の対象 明細書の発明の詳細な説明の簡

7. 補正の内容 別紙の通り

特許庁

(1) 明細書第8頁第10行、「……, 360° M - ϕ。あるようなϕを選び」とあるを次のとおり補正する。

「……, 360° M - ϕ。, 360° Mであるようなϕを選び」

(2) 明細書第9頁第11行乃至第13行、「(110)と(100)面方向に面チャネリングが生じ易い。このような、低指數の面チャネリングを避けるために」とあるを次のとおり補正する。

「(100)面による面チャネリングが生じ易い。このような(100)面による面チャネリング及び、同様に低指數面による面チャネリングである(110)面による面チャネリングを避けるためには、」

(3) 明細書第8頁第19行、「ϕ = 25°」とあるを次のとおり補正する。

「ϕ = 25°」